

## ===== WPI =====

- TI - Optical signal transmitting apparatus - has redundant bit processor that performs error correction of digital signal, converted from first separated optical signal, using redundant bit produced from conversion of second separated optical signal
- AB - J11032008 NOVELTY - A redundant bit processor (80) performs the error correction of a digital signal, that is output and converted by a signal receiving circuit (60) from the first separated optical signal of an isolation circuit (50), using a redundant bit produced by a redundant bit receiver (70) by converting the second isolated optical signal. DETAILED DESCRIPTION - A signal transmitting circuit (10) performs the conversion of an N-bit digital signal into a first optical signal. A redundant bit generator (20) produces a redundant bit by performing the error correction coding of the digital signal. A redundant bit transmitter (30) converts the produced redundant bit into the second optical signal of a predetermined wavelength. An optical multiplexer (40) performs the wavelength multiplexing process and transmission of the first and second optical signals. An isolation circuit separates the first and second transmitted wavelength optical signals.
- USE - None given.
- ADVANTAGE - Enables globalization of a network by applying the apparatus to an international standard interface. Error rate of input code and output code can be improved. Eliminates random error in combining at least four optical wavelengths. Enlarges wavelength dispersion tolerance since transmission line error is corrected. Improves signal-to-noise ratio. Attains reduction of predetermined implementation cost based on the communication distance. DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the basic structure of an optical signal transmitting apparatus. (10) Signal transmitting circuit; (20) Redundant bit generator; (30) Redundant bit transmitter; (40) Optical multiplexer; (50) Isolation circuit; (60) Signal receiving circuit; (70) Redundant bit receiver; (80) Redundant bit processor.
- (Dwg.1/13)
- PN - JP11032008 A 19990202 DW199915 H04B10/00 011pp
- PR - JP19970184008 19970709
- PA - (NITE ) NIPPON TELEGRAPH & TELEPHONE CORP
- MC - W02-C04 W02-C04B4 W02-C04B4B W02-K04
- DC - W02
- IC - H04B10/00 ;H04J14/00 ;H04J14/02
- AN - 1999-177805 [15]

## ===== PAJ =====

- TI - OPTICAL TRANSMITTER
- AB - PROBLEM TO BE SOLVED: To perform the error correction encoding of digital signals, without raising a bit rate and to cope with the distance extension and acceleration of optical signal transmission by allocating a different wavelength to a redundant bit and performing a wavelength multiplex transmission with main signals.
- SOLUTION: A signal transmission circuit 10 converts the signals of N bits into first optical signals, a redundant bit generation circuit 20 generates the redundant bit by the error correction encoding, and a redundant bit transmission circuit 30 performs conversion into the second optical signals of a different wavelength. An optical multiplex circuit 40 wavelength multiplexes and transmits the first optical signals and the second optical signals. An optical demultiplex circuit 50 demultiplexes the first and second optical signals, and a signal reception circuit 60 reproduces and receives the first optical signals and sends clocks CLK and frame pulses FP to a redundant bit reception circuit 70. The redundant bit reception circuit 70 converts the second optical signals into the redundant bits, synchronizes the detected clock with the clock CLK outputted from the reception circuit 60, synchronizes it with the frame pulse FP and performs the error correction of the reproducing signals of the reception circuit 60.
- PN - JP11032008 A 19990202
- PD - 1999-02-02
- ABD - 19990531
- ABV - 199905
- AP - JP19970184008 19970709
- PA - NIPPON TELEGR & TELEPH CORP <NTT>;
- IN - TOMIZAWA MASAHITO;MATSUOKA SHINJI;OKAWA NORIO;YAMABAYASHI YOSHIKI
- I - H04B10/00 ;H04J14/00 ;H04J14/02

**BLANK PAGE**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-32008

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 B 10/00

H 0 4 B 9/00

B

H 0 4 J 14/00

E

14/02

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号

特願平9-184008

(22) 出願日

平成9年(1997) 7月9日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 富沢 将人

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 松岡 伸治

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 大川 典男

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 古谷 史旺

最終頁に続く

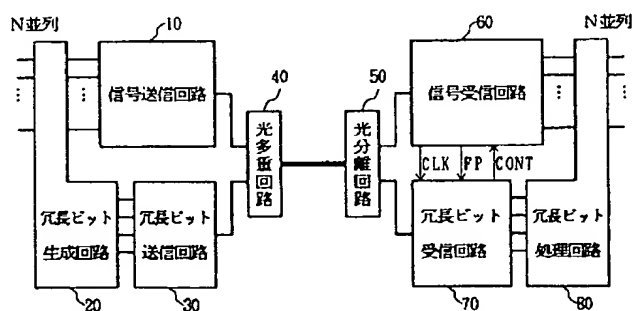
(54) 【発明の名称】 光伝送装置

(57) 【要約】

【課題】 ビットレートを上昇させることなくデジタル信号の誤り訂正符号化を行い、デジタル信号とその冗長ビットを光信号に変換して伝送する。

【解決手段】 Nビットのデジタル信号を第1の光信号に変換する信号送信回路と、デジタル信号の誤り訂正符号化による冗長ビットを生成する冗長ビット生成回路と、冗長ビットを第1の光信号とは別の波長の第2の光信号に変換する冗長ビット送信回路と、第1の光信号と第2の光信号を波長多重して送信する光多重回路と、波長多重伝送された第1の光信号と第2の光信号を分離する光分離回路と、第1の光信号をデジタル信号に変換する信号受信回路と、第2の光信号を冗長ビットに変換する冗長ビット受信回路と、冗長ビットを用いて信号受信回路から出力されたデジタル信号の誤り訂正を行う冗長ビット処理回路とを備え、デジタル信号と冗長ビットを波長多重伝送する。

本発明の光伝送装置の基本構成



## 【特許請求の範囲】

【請求項1】 Nビットのデジタル信号を第1の光信号に変換する信号送信回路と、

前記デジタル信号の誤り訂正符号化による冗長ビットを生成する冗長ビット生成回路と、

前記冗長ビットを前記第1の光信号とは別の波長の第2の光信号に変換する冗長ビット送信回路と、

前記第1の光信号と前記第2の光信号を波長多重して送信する光多重回路と、

波長多重伝送された前記第1の光信号と前記第2の光信号を分離する光分離回路と、

前記第1の光信号を前記デジタル信号に変換する信号受信回路と、

前記第2の光信号を前記冗長ビットに変換する冗長ビット受信回路と、

前記冗長ビットを用いて前記信号受信回路から出力されたデジタル信号の誤り訂正を行う冗長ビット処理回路とを備えたことを特徴とする光伝送装置。

【請求項2】 請求項1に記載の光伝送装置において、信号送信回路は、デジタル信号を多重する多重回路と、その出力信号を第1の光信号に変換する電気/光変換回路を含み、

信号受信回路は、前記第1の光信号を電気信号に変換する光/電気変換回路と、電気信号を識別再生する識別再生回路と、識別再生された信号を分離する分離回路と、分離されたデジタル信号のフレーム同期をとるフレーム同期回路と、各ビットごとに遅延を調整する可変遅延回路を含み、

冗長ビット生成回路は、前記デジタル信号の誤り訂正符号化による冗長ビットを生成する排他的論理和回路を含み、

冗長ビット処理回路は、前記冗長ビットから誤り訂正符号を復号する排他的論理和回路と、誤り訂正符号から前記デジタル信号の誤りビットを特定するパターン識別回路と、前記デジタル信号の誤りビットを訂正する訂正回路を含み、

冗長ビット送信回路は、前記冗長ビットを多重する多重回路と、その出力信号を第2の光信号に変換する電気/光変換回路を含み、

冗長ビット受信回路は、前記第2の光信号を電気信号に変換する光/電気変換回路と、電気信号を識別再生する識別再生回路と、識別再生された信号を分離する分離回路と、前記信号受信回路と冗長ビット受信回路のクロックを合わせるクロックバッファと、クロック同期した冗長ビットのフレーム同期をとるフレーム同期回路と、各ビットごとに遅延を調整する可変遅延回路と、前記信号受信回路と冗長ビット受信回路のフレーム位相差を検出するフレーム位相差検出回路を含むことを特徴とする光伝送装置。

【請求項3】 請求項2に記載の光伝送装置において、

信号送信回路の多重回路はN:1ビット多重回路であり、

信号受信回路の分離回路は1:Nビット分離回路であり、

冗長ビット生成回路の排他的論理和回路は、N並列のデジタル信号を符号化する $(N + \log_2(N+1))$ 、N) 短縮ハミング符号の冗長ビットを生成する符号化回路であり、

冗長ビット処理回路の排他的論理和回路は、N並列のデジタル信号中に発生した符号誤りを訂正する $(N + \log_2(N+1))$ 、N) 短縮ハミング符号の復号回路であり、冗長ビット送信回路の多重回路は $\log_2(N+1)$ :1ビット多重回路であり、

冗長ビット受信回路の分離回路は $1 : \log_2(N+1)$ ビット分離回路であることを特徴とする光伝送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デジタル信号の誤り訂正符号化を行い、光信号に変換して伝送する光伝送装置に関する。

## 【0002】

【従来の技術】近年、光信号を光のままで増幅するエルビウム添加ファイバ増幅器(EDFA)を用いた線形中継器が実用化され、再生中継間隔の長スパン化が可能になった。現在では再生中継間隔320kmを越える光伝送システムが実現されつつある。この線形中継器を用いた光伝送システムは経済性および汎用性に優れているので、再生中継間隔の長スパン化に応じたコスト低減が可能である。しかし、再生中継間隔を制限する要因もある。それは、線形中継器の多段接続による光雑音の累積と、光のエンドエンド間での波長分散による波形劣化であり、ビットレートが高くなればなるほど顕著になる。特に、波長分散による再生中継間隔の制限は大きく、ビットレートの2乗に逆比例して再生中継間隔が短くなる。

【0003】すなわち、線形中継器の多段接続によって再生中継間隔は広がるが、光雑音の累積と再生中継器間での波長分散による波形劣化により符号誤り率(BER)が高くなる。これを経済的に改善する方法として誤り訂正符号技術がある。近年、主に海底高速伝送システムでは、リード・ソロモン符号が検討されている(P.M. Gabla, et al., IEEE Photon. Technol. Lett., vol.4, no.10, pp.1148-1151, 1992)。この誤り訂正符号は、訂正能力が優れているが、伝送路速度をSDHに準拠しないビットレートへ上昇させるので、既存のSDH再生中継回路に採用することができない。

【0004】ところで、従来はスタンドアローンなシステムと考えられてきた海底伝送システムもネットワークのオープン化に伴い、国際標準インタフェースによる相互接続を余儀なくされている。さらに、ネットワークの

一元管理が要求される陸上伝送システムではSDHインタフェースは必須である。

【0005】このSDHインタフェースでは、誤り訂正符号のチェックビットをセクションオーバーヘッド(SOH)またはパスオーバーヘッド(POH)の未定義バイトに書き込む機能を有しており、これに適合する誤り訂正符号として3種類が提案されている。第1は、52Mbit/sのVC-3ごとに誤り訂正をかける(6208,6195)ハミング符号である(W.Grover and T.Moore, IEEE Transactions on Communications, vol.38, no.4, p.467)。しかし、これはVC-3以外のパスに対しては符号化ができない。ATMセルのサポートにより様々な連結パスVC-4-Xc( $1 < X \leq 16$ )が導入されるが、それぞれに異なった符号/復号化回路が必要になり、経済的ではない。さらに、誤り訂正する前に、K1、K2バイトを用いた伝送路切替が行われるので、このときに起こるビットロスに対して何ら講ずる手段がない。

【0006】第2は、中継セクション終端ごとにSTM-1を3分割し、それぞれに12並列で符号化を行う(524,522)リード・ソロモン符号である(V.Paxal, et al., European Transactions on Telecommunication, vol.4, no.6, p.623)。これは、エンドトゥエンドの信号伝送において、各再生中継器ごとに復号化が必要であり、そのたびに遅延が累積する。

【0007】第3は、156Mbit/sのAU-4単位に処理する(18880,18865)ハミング符号、または8並列AU-4を処理する(2370,2358)ハミング符号である(特開平8-335923号公報)。この符号・復号処理は、多重セクションレイヤで行われる。この符号は、①SDH準拠、②すべてのパスサイズに適用可能、③再生中継器への変更が不要、④復号処理による累積遅延の抑圧、⑤伝送路切替(Automatic Protection Switching: APS)に適合、などの多くの利点を有する。

【0008】一方、時分割多重化による伝送速度の超高速化と並行して、光ファイバの広帯域性を利用して複数の波長の光信号を一括して伝送する波長多重伝送技術も発展してきている。波長多重伝送方式は、光ファイバの有効利用と拡張性に長けているが、非線形光学効果のうち特に四光波混合の影響で伝送距離が制限されている。さらに、波長多重伝送システムは論理的には波長ごとの個別システムの集合であり、終端処理回路など装置コストの多くを占めている回路が波長多重数に応じて必要になる。また、架数、収容面積も波長多重数に応じて多くなる。また、波長別のシステムごとに別々のクロックで動作させなければならず、クロック系回路が複雑化して高コストになる。すなわち、時分割多重伝送システムはN多重することにより装置コストを約 $N^{1/2}$ に下げることができるが、波長多重伝送システムはN多重することにより装置コストもN倍に上がる。

【0009】この波長多重伝送システムの装置コストを

低減する方法として、クロック信号に1波長を割り当てて伝送し、受信側で各波長の信号群がこの伝送されたクロックに乗り換え、フレーム同期回路および終端処理回路が単一クロックで並列に並んだ信号を並列のまま処理する並列伝送技術が提案されている(特開平9-36833号公報「多重化端局装置」)。

【0010】また、主信号とパリティビットを別波長で伝送して品質を向上させる技術も提案されている(M.S. Kao, et al., "A product-coded WDM coding system", IEEE Trans. Commun., vol.44, no.1, pp.43-46, 1996)。

【0011】

【発明が解決しようとする課題】従来の誤り訂正符号技術では、SDHへの適合と誤り訂正能力との間にトレードオフの関係があった。すなわち、SDHに整合する誤り訂正符号は、誤り訂正能力が劣る問題点があった。例えば、(18880,18865)ハミング符号では誤り率が $10^{-6}$ から $10^{-8}$ 程度にしか改善されず、(2370,2358)ハミング符号でも $10^{-9}$ 程度にしか改善されない。

【0012】一方、従来の波長多重伝送システムは、四光波混合によるクロストークが避けられない。さらに、トータルの波長分散が大きいときには、各波長間の位相差が1ビットを越えてしまい、クロックは同一でもフレームが崩れる可能性がある。したがって、波長分散の小さい範囲でのみ適用されることになる。

【0013】また、上記の主信号とパリティビットを別波長で伝送する技術においても、四光波混合によるクロストークの問題とともに、波長分散遅延の問題が避けられない。さらに、その構成では、送受信器が半導体レーザアレイおよびフォトダイオードアレイで構成されているので、通常の光伝送システムに対する汎用性や拡張性の面で劣っている。

【0014】本発明は、ビットレートを上昇させることなくデジタル信号の誤り訂正符号化を行い、デジタル信号とその冗長ビットを光信号に変換して伝送する光伝送装置を提供することを目的とする。

【0015】

【課題を解決するための手段】誤り訂正能力を高くしようとすると、誤り訂正符号化による冗長ビット(チェックビット)が多く必要になり、符号効率が悪くなってSOHに入らなくなる。そこで、本発明は、冗長ビットに別波長を割り当てて主信号と波長多重伝送する。例えば、SDHのバイト処理と適合させるために信号をNビットとし、それぞれの信号に対して $\log_2(N+1)$ ビットの冗長ビットを生成する。符号は、高速処理に適したハミング符号とする。

【0016】また、2波長の波長多重伝送では、遅延調整にクロックバッファとフレーム同期回路を用いることにより、波長分散による位相差調整範囲を拡大することができる。

【0017】

【発明の実施の形態】

(第1の実施形態) 図1は、本発明の光伝送装置の基本構成を示す。

【0018】図において、送信側は、信号送信回路10、冗長ビット生成回路20、冗長ビット送信回路30、光多重回路40から構成される。受信側は、光分離回路50、信号受信回路60、冗長ビット受信回路70、冗長ビット処理回路80から構成される。ここで、通常のセクション終端処理は8ビットに分離してから行われるので、終端回路は図外に配置される(Y. Yamabayashi, et al., J. Lightwave Technol., vol. 11, no. 5/6, pp. 875-881, 1993)。

【0019】図2は、信号送信回路10の構成例を示す。図において、信号送信回路10は、8並列信号を入力してビット多重する8:1ビット多重化回路11と、その出力信号を波長λ1の光信号に変換する電気/光変換回路12から構成される。電気/光変換回路12は、レーザ光源と外部変調器を組み合わせた構成、半導体レーザを直接変調する構成、半導体レーザと吸収型光変調器を集積化した構成のいずれを用いてもよい。

【0020】図3は、冗長ビット生成回路20の構成例を示す。図において、冗長ビット生成回路20は、信号送信回路10に入力される8並列信号i1~i8を分岐する分岐部21と、8並列信号に対して(12,8)ハミング符号化を行うEXOR部22から構成される。EXOR部22は、4つのEXOR回路22-1~22-4から構成され、各EXOR回路の演算論理は、

$$\begin{aligned} a1 &= \sum i_j : \{j=1,2,3,4,6,8\} \\ a2 &= \sum i_j : \{j=2,3,4,5,7\} \\ a3 &= \sum i_j : \{j=3,4,5,6,8\} \\ a4 &= \sum i_j : \{j=1,2,3,5,7,8\} \end{aligned} \quad \dots(1)$$

と表される。これは、信号の多項式 $x^7$ を生成多項式 $x^4 + x + 1$ で割算した余りを算出する論理を8ビットパラレルに行った場合の論理式である。なお、符号の短縮化に用いられる短縮多項式は $x^3 + x + 1$ である。

【0021】このEXOR部22の等価回路は、図4に示すようにシフトレジスタ23と排他的論理和回路24を用いて表すことができる。式(1)および図3の構成は、図4に示す等価回路の論理を8並列で行うものである。

【0022】図5は、冗長ビット送信回路30の構成例を示す。図において、冗長ビット送信回路30は、冗長ビット生成回路20から出力される4並列冗長ビット信号a1~a4を入力してビット多重する4:1ビット多重化回路31と、その出力信号を波長λ2の光信号に変換する電気/光変換回路32から構成される。

【0023】このように、信号送信回路10からは波長λ1の光信号が出力され、冗長ビット送信回路30からは波長λ2の光信号が出力され、光多重回路40で波長

多重される。光多重回路40としては、一般的には光カプラを用いるが、損失の小さい光合波器を用いてもよい。また、光分離回路50は、波長多重伝送された波長λ1およびλ2の光信号を分波する光分波器を用いる。

【0024】図6は、信号受信回路60の構成例を示す。図において、信号受信回路60は、波長λ1の光信号を電気信号に変換する光/電気変換回路61と、電気信号からクロックを抽出するクロック抽出回路62と、そのクロックを用いて電気信号を識別再生する識別再生回路63と、識別再生された信号を8並列信号にビット分離する1:8ビット分離回路64と、8並列信号のフレーム同期をとるフレーム同期回路65と、各ビットごとに遅延を調整する可変遅延回路66から構成される。

【0025】ここで、従来の信号受信回路と異なる点は、クロック抽出回路62から冗長ビット受信回路70にクロックCLKが出力されること、フレーム同期回路65から冗長ビット受信回路70にフレームパルスFPが出力されること、冗長ビット受信回路70からの制御信号CONTに応じて各ビットの遅延が調整されることである。可変遅延回路66には、SRAM等のメモリや可変長の遅延線を用いることができる。

【0026】図7は、冗長ビット受信回路70の構成例を示す。図において、冗長ビット受信回路70は、波長λ2の光信号(冗長ビット)を電気信号に変換する光/電気変換回路71と、電気信号からクロックを抽出するクロック抽出回路72と、そのクロックを用いて電気信号を識別再生する識別再生回路73と、識別再生された信号を4並列冗長ビット信号にビット分離する1:4ビット分離回路74と、信号受信回路60のクロック抽出回路62から出力されるクロックCLKの位相に抽出したクロックを合わせるクロックバッファ75と、クロック同期した4並列冗長ビット信号のフレーム同期をとるフレーム同期回路76と、各ビットごとに遅延を調整する可変遅延回路77と、フレーム位相差検出回路78から構成される。

【0027】なお、位相同期ループ(PLL)を用いてクロック抽出回路72とクロックバッファ75を1つの回路で構成してもよい。この場合は分周されたクロックがPLLに入力され、信号受信回路60で抽出されたクロックCLKに位相が合ったクロックでデータが識別再生される。

【0028】ここで、フレーム同期回路76は、SDHのフレーム同期パターンがF6, 28(16進数)なのに対して、A, 8のパターン照合を行って同期をとる。また、フレーム位相差検出回路78は、信号受信回路60のフレーム同期回路65から出力されたフレームパルスFPと、フレーム同期回路76から出力されたフレームパルスの位相差を検出し、信号受信回路60の可変遅延回路66および冗長ビット受信回路70の可変遅延回路77に制御信号を出力する。なお、フレーム位相差検出回路

78は、EXOR回路とカウンタまたはその他の回路で構成することができる。

【0029】図8は、冗長ビット処理回路80の構成例を示す。図において、冗長ビット処理回路80は、信号受信回路60から出力される8並列信号を分岐する分岐部81と、冗長ビット受信回路70から出力される冗長ビットを用いて8並列信号の誤りビット検出を行うEXOR部82と、その出力信号s1～s4から8並列信号i1～i8のどのビットが誤っているかを特定するパターン識別回路83と、8並列信号i1～i8の誤りビットを訂正するビット別EXOR回路84から構成される。

【0030】EXOR部82は、4つのEXOR回路82-1～82-4から構成され、各EXOR回路の演算論理は、

$$\begin{aligned} s1 &= \sum a_j: \{j=1,4\} + \sum i_j: \{j=4,5,6,7\} \\ s2 &= \sum a_j: \{j=1,3,4\} + \sum i_j: \{j=3,7,8\} \\ s3 &= \sum a_j: \{j=2,3\} + \sum i_j: \{j=2,6,7,8\} \\ s4 &= \sum a_j: \{j=1,2\} + \sum i_j: \{j=1,5,6,7,8\} \end{aligned}$$

…(2)

と表される。このEXOR部82の等価回路は、図9に示すようにシフトレジスタ23と排他的論理和回路24を用いて表すことができる(M.Tomizawa, et al., J.Lightwave Technol., vol.15, no.1m, pp.43-52, 1997)。シフトレジスタ間を接続する破線は、レジスタが保持しているデータをロードすることを示す。式(2)および図8の構成は、図9に示す等価回路の論理を8並列で行うものである。

【0031】ここで、パターン識別回路83で識別され\*

パラレル数	生成多項式	短縮多項式
8	$x^4 + x + 1$	$x^3 + x + 1$
16	$x^5 + x^2 + 1$	$x^4 + x^3 + x^2 + x + 1$
32	$x^6 + x + 1$	$x^5 + x^2 + 1$
64	$x^7 + x^3 + 1$	$x^3 + x$

【0036】64パラレルに行う符号は(71,64)短縮ハミング符号になる。本実施形態では、冗長ビットにさらにフラグを1ビット加えて(72,64)ハミング符号とする。したがって、信号用には64:1多重分離回路が必要になり、冗長ビット用には8:1多重分離回路が必要になる。

【0037】信号受信回路60の識別再生回路63の後段の構成は、1:64分離回路、フレーム同期回路、可変遅延回路の順でもよいし、1:8分離回路、フレーム同期回路、1:8分離回路、可変遅延回路の順でもよい。この場合は、クロック抽出回路62から冗長ビット受信回路70に与えるクロックCLKを8分周する回路が必※50

※る誤りビットとシンドロームの関係を表1に示す。

【0032】

【表1】

誤りビット	シンドロームパターン (s1, s2, s3, s4)
i1	(0, 0, 0, 1)
i2	(0, 0, 1, 0)
i3	(0, 1, 0, 0)
i4	(1, 0, 0, 0)
i5	(1, 0, 0, 1)
i6	(1, 0, 1, 1)
i7	(1, 1, 1, 1)
i8	(0, 1, 1, 1)

【0033】ビット別EXOR回路84では、i1からi8までそれぞれのラインにEXORが配置されており、パターン識別回路83が表1に基づいて誤りビットを特定し、出力されたパルスが各EXORを駆動して誤りを訂正する。

【0034】(第2の実施形態)第1の実施形態は8ビットパラレルであったが、第2の実施形態では64ビットパラレルに展開した処理を行う例を示す。ここで、パラレル数と生成多項式および短縮多項式の関係を表2に示す。

【0035】

【表2】

※要になる。また、SDH装置で中継セクション終端回路を8分周クロックで動作させる場合は、中継セクション終端回路が冗長ビット処理回路80よりも高速側に配置される。

【0038】信号送信回路10および信号受信回路60、冗長ビット送信回路30および冗長ビット受信回路70は、第1の実施形態と同じアーキテクチャであるが、冗長ビット生成回路20および冗長ビット処理回路80は大きく異なる。冗長ビット生成回路20は、信号多項式 $x^{63}$ を $x^7 + x^3 + 1$ で割算した余りを生成する論理を64パラレルに行う回路であり、信号列をi[1]～i[64]、生成される冗長ビットをa[1]～a[8]とすると、次

のような論理となる。

\* \* 【0039】

$a[1] = i[1] + i[4] + i[7] + i[8] + i[10] + i[13] + i[14] + i[15] + i[16]$   
 $+ i[18] + i[19] + i[20] + i[25] + i[26] + i[27] + i[28] + i[29] + i[30]$   
 $+ i[31] + i[35] + i[36] + i[37] + i[39] + i[40] + i[44] + i[46] + i[49]$   
 $+ i[51] + i[52] + i[53] + i[54] + i[55] + i[57] + i[59] + i[61]$   
 $a[2] = i[2] + i[5] + i[8] + i[9] + i[11] + i[14] + i[15] + i[16] + i[17]$   
 $+ i[19] + i[20] + i[21] + i[26] + i[27] + i[28] + i[29] + i[30] + i[31]$   
 $+ i[32] + i[36] + i[37] + i[38] + i[40] + i[41] + i[45] + i[47] + i[50]$   
 $+ i[52] + i[53] + i[54] + i[55] + i[56] + i[58] + i[60] + i[62]$   
 $a[3] = i[3] + i[6] + i[9] + i[10] + i[12] + i[15] + i[16] + i[17] + i[18]$   
 $+ i[20] + i[21] + i[22] + i[27] + i[28] + i[29] + i[30] + i[31] + i[32]$   
 $+ i[33] + i[37] + i[38] + i[39] + i[41] + i[42] + i[46] + i[48] + i[51]$   
 $+ i[53] + i[54] + i[55] + i[56] + i[57] + i[59] + i[61] + i[63]$   
 $a[4] = i[4] + i[7] + i[10] + i[11] + i[13] + i[16] + i[17] + i[18] + i[19]$   
 $+ i[21] + i[22] + i[23] + i[28] + i[29] + i[30] + i[31] + i[32] + i[33]$   
 $+ i[34] + i[38] + i[39] + i[40] + i[42] + i[43] + i[47] + i[49] + i[52]$   
 $+ i[54] + i[55] + i[56] + i[57] + i[58] + i[60] + i[62] + i[64]$   
 $a[5] = i[1] + i[4] + i[5] + i[7] + i[10] + i[11] + i[12] + i[13] + i[15]$   
 $+ i[16] + i[17] + i[22] + i[23] + i[24] + i[25] + i[26] + i[27] + i[28]$   
 $+ i[32] + i[33] + i[34] + i[36] + i[37] + i[41] + i[43] + i[46] + i[48]$   
 $+ i[49] + i[50] + i[51] + i[52] + i[54] + i[56] + i[58] + i[63]$   
 $a[6] = i[2] + i[5] + i[6] + i[8] + i[11] + i[12] + i[13] + i[14] + i[16]$   
 $+ i[17] + i[18] + i[23] + i[24] + i[25] + i[26] + i[27] + i[28] + i[29]$   
 $+ i[33] + i[34] + i[35] + i[37] + i[38] + i[42] + i[44] + i[47] + i[49]$   
 $+ i[50] + i[51] + i[52] + i[53] + i[55] + i[57] + i[59] + i[64]$   
 $a[7] = i[3] + i[6] + i[7] + i[9] + i[12] + i[13] + i[14] + i[15] + i[17]$   
 $+ i[18] + i[19] + i[24] + i[25] + i[26] + i[27] + i[28] + i[29] + i[30]$   
 $+ i[34] + i[35] + i[36] + i[38] + i[39] + i[43] + i[45] + i[48] + i[50]$   
 $+ i[51] + i[52] + i[53] + i[54] + i[56] + i[58] + i[60]$   
 $a[8] = \text{Flag bit}(0 \text{ or } 1)$

... (3)

【0040】なお、フレーム同期回路の代わりに、a[8]を常にモニタしてバイトの先頭位置を識別するようにしてもよい。

※【0041】冗長ビット処理回路80の論理は、シンドロームをs[1]～s[7]とすると、次のようになる。

※

$s[1] = a[2] + a[6] + a[7] + i[3] + i[7] + i[14] + i[17] + i[20] + i[21]$   
 $+ i[23] + i[26] + i[27] + i[28] + i[29] + i[31] + i[32] + i[33] + i[38]$   
 $+ i[39] + i[40] + i[41] + i[42] + i[43] + i[44] + i[48] + i[49] + i[50]$   
 $+ i[52] + i[53] + i[57] + i[59] + i[62] + i[64]$   
 $s[2] = a[1] + a[5] + a[6] + i[2] + i[6] + i[13] + i[16] + i[19] + i[20]$   
 $+ i[22] + i[25] + i[26] + i[27] + i[28] + i[30] + i[31] + i[32] + i[37]$   
 $+ i[38] + i[39] + i[40] + i[41] + i[42] + i[43] + i[47] + i[48] + i[49]$   
 $+ i[51] + i[52] + i[56] + i[58] + i[61] + i[63] + i[64]$   
 $s[3] = a[4] + a[5] + i[1] + i[5] + i[12] + i[15] + i[18] + i[19] + i[21]$   
 $+ i[24] + i[25] + i[26] + i[27] + i[29] + i[30] + i[31] + i[36] + i[37]$   
 $+ i[38] + i[39] + i[40] + i[41] + i[42] + i[46] + i[47] + i[48] + i[50]$   
 $+ i[51] + i[55] + i[57] + i[60] + i[62] + i[63] + i[64]$   
 $s[4] = a[2] + a[3] + a[4] + a[6] + i[3] + i[4] + i[7] + i[11] + i[18]$   
 $+ i[21] + i[24] + i[25] + i[27] + i[30] + i[31] + i[32] + i[33] + i[35]$   
 $+ i[36] + i[37] + i[42] + i[43] + i[44] + i[45] + i[46] + i[47] + i[48]$   
 $+ i[52] + i[53] + i[54] + i[56] + i[57] + i[61] + i[63]$   
 $s[5] = a[1] + a[2] + a[3] + a[5] + i[2] + i[3] + i[6] + i[10] + i[17]$



1 1

1 2

$$\begin{aligned}
 &+i[20]+i[23]+i[24]+i[26]+i[29]+i[30]+i[31]+i[32]+i[34] \\
 &+i[35]+i[36]+i[41]+i[42]+i[43]+i[44]+i[45]+i[46]+i[47] \\
 &+i[51]+i[52]+i[53]+i[55]+i[56]+i[60]+i[62] \\
 s[6]= &a[1]+a[2]+a[4]+i[1]+i[2]+i[5]+i[9]+i[16]+i[19] \\
 &+i[22]+i[23]+i[25]+i[28]+i[29]+i[30]+i[31]+i[33]+i[34] \\
 &+i[35]+i[40]+i[41]+i[42]+i[43]+i[44]+i[45]+i[46]+i[50] \\
 &+i[51]+i[52]+i[54]+i[55]+i[59]+i[61]+i[64] \\
 s[7]= &a[1]+a[3]+a[7]+i[1]+i[4]+i[8]+i[15]+i[18]+i[21] \\
 &+i[22]+i[24]+i[27]+i[28]+i[29]+i[30]+i[32]+i[33]+i[34] \\
 &+i[39]+i[40]+i[41]+i[42]+i[43]+i[44]+i[45]+i[49]+i[50] \\
 &+i[51]+i[53]+i[54]+i[58]+i[60]+i[63] \quad \dots(4)
 \end{aligned}$$

【0042】伝送路に誤りがない場合は、(4)式の $a[1] \sim a[7]$ に(3)式を代入すれば、 $s[1] \sim s[7]$ はすべて0になることがわかる。また、誤りビットが存在する場合には、 $s[1] \sim s[7]$ のビットパターンによって64ビットのうちどのビットが誤っているかを特定することができる。

#### 【0043】

【発明の効果】本発明の光伝送装置は、次に挙げるような効果が得られる。

(1) 信号速度はSDHに完全に準拠する。

【0044】すなわち、SDHに準拠することによって伝送システムの監視・制御の高機能化を妨げることなく信号品質を向上させることができる。また、国際標準インターフェースに準拠することによってネットワークのグローバル化も可能になる。

【0045】(2) 従来の再生中継器に冗長ビット用の識別再生回路を加えるだけで多重化端局装置のエンドエンドの符号／復号ができる。すなわち、図10に示すように、送信側の多重化端局装置91に冗長ビット生成回路および冗長ビット送信回路を配置し、受信側の多重化端局装置92に冗長ビット受信回路および冗長ビット処理回路を配置する構成において、再生中継器93に光分離回路(光分波器)94と、冗長ビット用の識別再生回路95と、光多重回路(光合波器)96を追加するだけで対応することができる。

【0046】(3) 誤り率を $10^{-6}$ から $10^{-11} \sim 10^{-12}$ 程度まで改善することができる。符号誤り率の改善効果を計算した結果を図11に示す。ここで、横軸は平均搬送波電力対雑音電力比であり、縦軸は符号誤り率である。図に示すように、8並列符号は64並列符号の8倍の訂正能力があることがわかる。また、図12に入力符号誤り率と出力符号誤り率の関係を示す。

【0047】(4) 処理遅延が数バイト+ $\alpha$ のみとなる。すなわち、従来の誤り訂正符号は符号効率の高さを求めるために、訂正能力と復号遅延に影響が出ていた。本発明では、波長多重技術を用いることにより符号効率を上げなくてもよくなり、結果として復号遅延も数バイト程度になる。この小さい遅延量は音声などのリアルタイム性を要求する通信にとっては有効である。

\*【0048】(5) 波長多重数を2波とすることにより、四光波混合による非ランダムな誤りを回避することができる。すなわち、波長多重技術の最も大きな欠点は、非線形光学効果の四光波混合によってクロストークが引き起こされることである。さらに、四光波混合は光のAND論理で生成されるため、引き起こされる誤りはランダム誤り訂正符号では訂正されない。本発明では波長数を2波とすることにより四光波混合の問題を解決している。

20

【0049】(6) 両波長の遅延補償が電気回路で比較的容易にできる。すなわち、パラレル伝送では波長間の遅延補償が重要な課題となるが、本発明では波長多重数を2波とすることにより、遅延補償回路を電気回路で比較的簡単に構成することができる。

30

【0050】(7) 波長分散トレランスが約3倍に拡大される。波長分散トレランスは、伝送路誤りが訂正されるので拡大される。ここで、波長分散トレランスを誤り率 $10^{-9}$ において、バックトゥバックから1dB以内のパワーペナルティを満たす波長分散値の領域と定義する。また、分散トレランスの拡大率を誤り訂正を行った場合の分散トレランスと行わない場合のトレランスの比と定義する。

40

【0051】並列処理数によって符号語長が異なり、よって誤り訂正能力が異なる。したがって、その拡大率はパラレル処理数に依存する。図13に波長分散トレランス拡大係数の並列処理数依存性を示す。この計算に用いた信号ビットレートは40Gbit/sとした。並列処理数が多くなればなるほど、符号語長が増加して訂正能力は減少する。一方、並列処理数が少ないと、高速のチェックビット伝送をしなければならず、波長分散の影響をチェックビットが受けて信号に誤りを引き起こす。両曲線は並列処理数8程度で交差しており、第1の実施形態の符号は最適に近いと言える。また、第2の実施形態の符号は冗長ビットにかなりの余裕を持たせた符号であるといえる。

【0052】(8) 最大線形中継数が約2倍に拡大される。信号雑音比が改善されるので、再生中継器間に許容できる線形中継器の数を増加させることができる。ここで、線形中継器数の拡大率を誤り訂正を行った場合の線

\* 50

13

形中継器数と行わない場合の線形中継器数の比と定義する。図13に線形中継器数の拡大率を示す。この計算に用いた信号ビットレートは40Gbit/s、線形中継器入力パワーは-20dBm、雑音指数は6dB、相対強度雑音は-140dB/Hz、波長は1550nmとした。両曲線は並列処理数8程度で交差しており、第1の実施形態の符号は最適に近い。また、第2の実施形態の符号は冗長ビットにかなりの余裕を持たせた符号であるといえる。

【0053】(9) 通常の光伝送装置に冗長ビット送受信回路、冗長ビット生成/処理回路を接続するだけで、長スパン化・超高速化に容易に対応することができる。これにより、アップグレードビリティに優れ、また冗長ビット送受信回路、冗長ビット生成/処理回路を取り外し可能な構成にすることにより、任意の伝送距離に見合ったコストの伝送装置を構築できる。例えば、近距離、低速に対応する伝送装置ではこの回路を取り外して運用し、長距離化・高速化が要求された時点で冗長ビット送受信回路、冗長ビット生成/処理回路を加える。これにより、一律様な従来の伝送装置の設計よりも全体のコストを削減することができる。

【図面の簡単な説明】

【図1】本発明の光伝送装置の基本構成を示すブロック図。

【図2】信号送信回路10の構成例を示すブロック図。

【図3】冗長ビット生成回路20の構成例を示すブロック図。

【図4】EXOR部22の等価回路を示す図。

【図5】冗長ビット送信回路30の構成例を示すブロック図。

【図6】信号受信回路60の構成例を示すブロック図。

【図7】冗長ビット受信回路70の構成例を示すブロック図。

【図8】冗長ビット処理回路80の構成例を示すブロック図。

【図9】EXOR部82の等価回路を示す図。

【図10】再生中継器を有する光伝送装置の構成例を示すブロック図。

【図11】符号誤り率の改善効果を示す図。

14

【図12】誤り訂正能力を示す図。

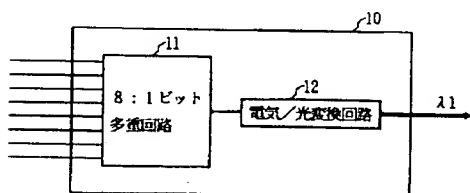
【図13】並列処理数と分散トレランスの拡大率、線形中継器の拡大率との関係を示す図。

【符号の説明】

- 10 信号送信回路
- 11 8:1ビット多重回路
- 12 電気/光変換回路
- 20 冗長ビット生成回路
- 21 分岐部
- 22 EXOR部
- 23 シフトレジスタ
- 24 排他的論理和回路
- 30 冗長ビット送信回路
- 31 4:1ビット多重回路
- 32 電気/光変換回路
- 40 光多重回路
- 50 光分離回路
- 60 信号受信回路
- 61 光/電気変換回路
- 62 クロック抽出回路
- 63 識別再生回路
- 64 1:8ビット分離回路
- 65 フレーム同期回路
- 66 可変遅延回路
- 70 冗長ビット受信回路
- 71 光/電気変換回路
- 72 クロック抽出回路
- 73 識別再生回路
- 74 1:4ビット分離回路
- 75 クロックバッファ
- 76 フレーム同期回路
- 77 可変遅延回路
- 78 フレーム位相差検出回路
- 80 冗長ビット処理回路
- 81 分岐部
- 82 EXOR部
- 83 パターン識別回路
- 84 ビット別EXOR回路

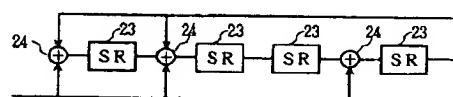
【図2】

信号送信回路10の構成例



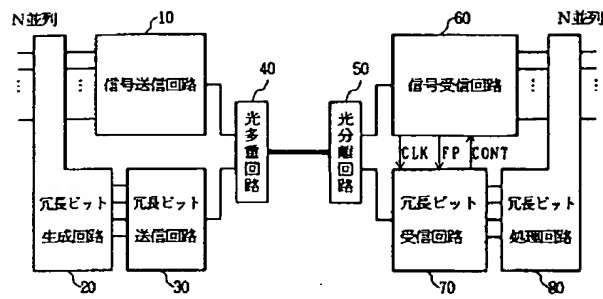
【図4】

EXOR部22の等価回路



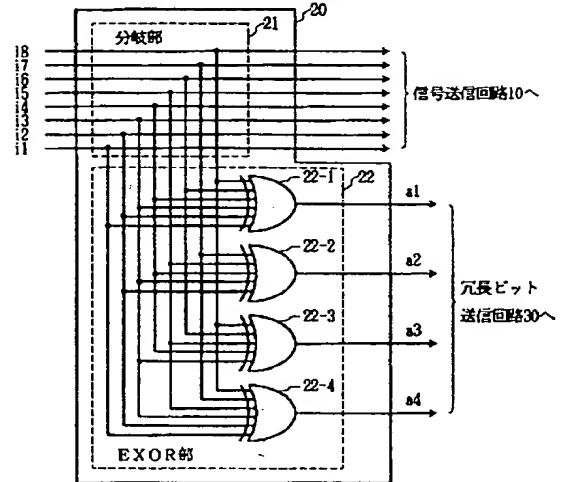
【図1】

本発明の光伝送装置の基本構成



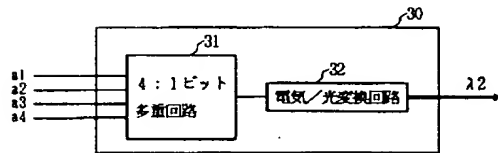
【図3】

冗長ビット生成回路20の構成例



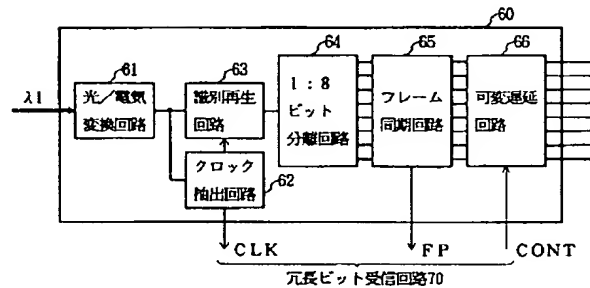
【図5】

冗長ビット送信回路30の構成例



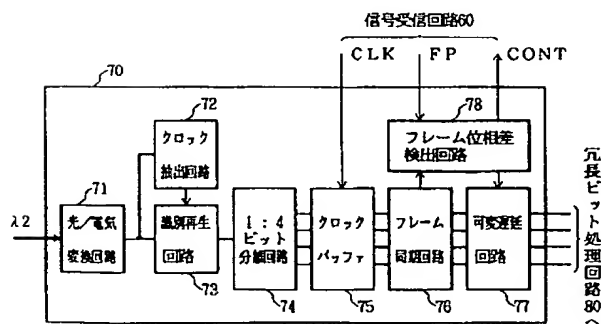
【図6】

信号受信回路60の構成例



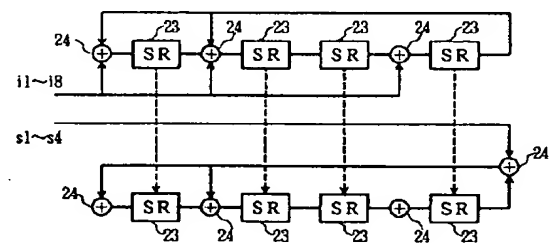
【図7】

冗長ビット受信回路70の構成例



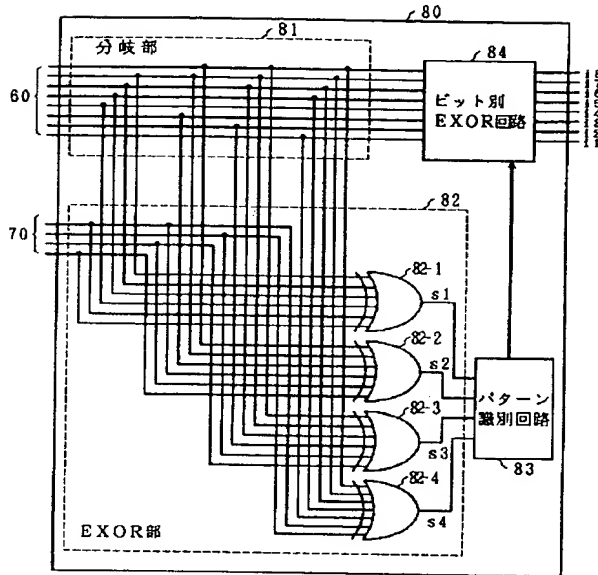
【図9】

EXOR部82の等価回路



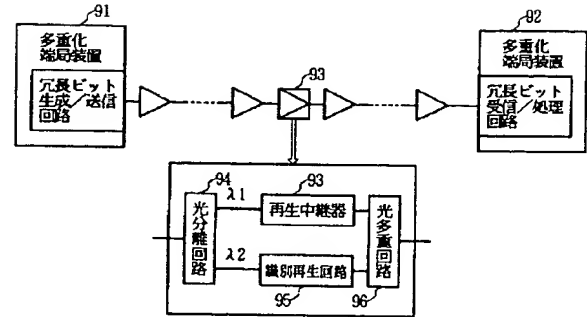
【図8】

冗長ビット処理回路80の構成例



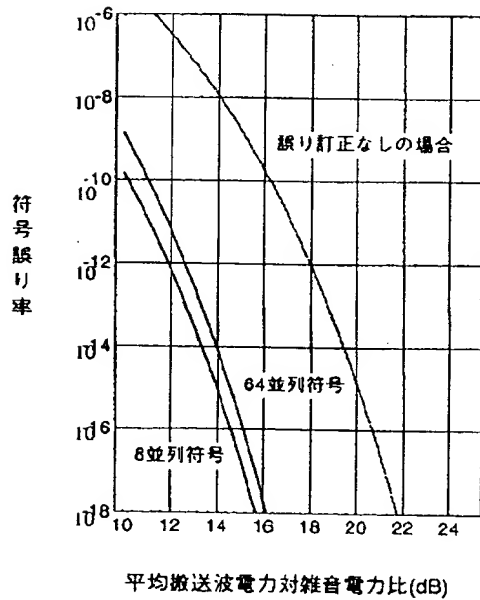
【図10】

再生中継器を有する光伝送装置の構成例



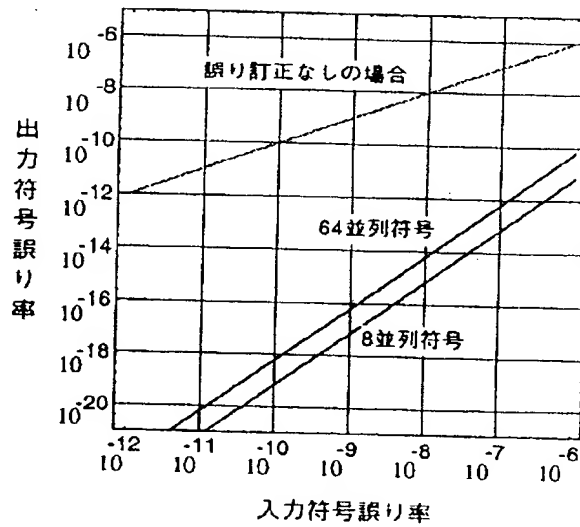
【図11】

符号誤り率の改善効果



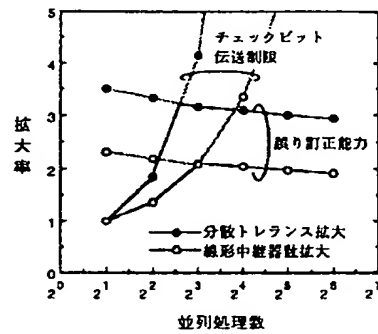
【図12】

誤り訂正能力



【図 1 3】

並列処理数と分散トレランスの拡大率、線形中継器の拡大率との関係



フロントページの続き

(72)発明者 山林 由明  
 東京都新宿区西新宿三丁目19番2号 日本  
 電信電話株式会社内

**BLANK PAGE**